

**Jens Lienig**

# Layoutsynthese elektronischer Schaltungen

Grundlegende Algorithmen  
für die Entwurfsautomatisierung

**2. Auflage**

**Springer Vieweg**

# Inhaltsverzeichnis

<b>1</b>	<b>Einführung</b>	<b>3</b>
1.1	Entwurfsautomatisierung in der Elektronik (EDA)	3
1.2	Hinweise zum Buch	4
1.3	Bedeutung der Entwurfsautomatisierung	6
1.4	Entwicklung der Entwurfsautomatisierung	7
1.5	Übersicht über den Entwurfsprozess	9
	1.5.1 Systemspezifikation (System Specification)	9
	1.5.2 Architekturentwurf (Architectural Design)	10
	1.5.3 Verhaltensentwurf (Functional Design)	10
	1.5.4 Logikentwurf (Logic Design)	10
	1.5.5 Layoutsynthese (Physical Design)	11
	1.5.6 Layoutverifikation (Layout Verification)	12
	1.5.7 Herstellung (Fabrication)	13
	1.5.8 Verpackung, Test (Packaging, Testing)	13
1.6	Entwurfstile	14
	1.6.1 Kundenspezifischer Entwurf	14
	1.6.2 Standardzellen-Entwurf	15
	1.6.3 Makrozellen-Entwurf	17
	1.6.4 Gate-Array-Entwurf	17
1.7	Layoutebenen	19
1.8	Entwurfsregeln	20
1.9	Layoutsynthese als Optimierungsproblem	21
1.10	Rechenkomplexität der Layoutsynthese	23
1.11	Einteilung von Entwurfsalgorithmen	25
1.12	Lösungsqualität von Entwurfsalgorithmen	27
1.13	Graphentheoretische Grundbegriffe	27
1.14	Häufig verwendete Layoutbegriffe	30
	Literatur zu Kapitel 1	34
<b>2</b>	<b>Partitionierung</b>	<b>37</b>
2.1	Einführung	37
2.2	Begriffsbestimmungen	38
2.3	Optimierungsziele	39
	2.3.1 Externe Verbindungen	39
	2.3.2 Bounded-Size-Partitionierung	40
2.4	Partitionierungsalgorithmen	40
	2.4.1 Kernighan-Lin (KL)-Algorithmus	41
	2.4.2 Erweiterungen des Kernighan-Lin-Algorithmus	45
	2.4.3 Fiduccia-Mattheyses (FM)-Algorithmus	46
	2.4.4 Simulated-Annealing (SA)-Algorithmus	54
	Aufgaben zu Kapitel 2	60
	Literatur zu Kapitel 2	60

<b>3</b>	<b>Floorplanning</b>	<b>63</b>
3.1	Einführung	63
3.2	Optimierungsziele	65
3.2.1	Fläche und Form des umschließenden Rechtecks.	65
3.2.2	Gesamtverbindungslänge	65
3.2.3	Fläche und Gesamtverbindungslänge	66
3.2.4	Signalverzögerungen	66
3.3	Begriffsbestimmungen	66
3.4	Algorithmen für das Floorplanning	70
3.4.1	Floorplan-Sizing-Algorithmus	70
3.4.2	Cluster-Wachstums-Algorithmus (Cluster Growth).	76
3.4.3	Weitere Algorithmen für das Floorplanning	80
3.5	Pinzuordnung (Pin Assignment)	81
3.5.1	Problembeschreibung	81
3.5.2	Pinzuordnung mittels konzentrischer Kreise	82
3.5.3	Topologische Pinzuordnung	84
	Aufgaben zu Kapitel 3	86
	Literatur zu Kapitel 3	88
<b>4</b>	<b>Platzierung</b>	<b>91</b>
4.1	Einführung	91
4.2	Optimierungsziele	92
4.2.1	Gewichtete Gesamtverbindungslänge	93
4.2.2	Maximale Schnittanzahl	95
4.2.3	Lokale Verdrahtungsdichte	97
4.2.4	Signalverzögerungen	98
4.3	Platzierungsalgorithmen	99
4.3.1	Min-Cut-Platzierung	100
4.3.2	Min-Cut-Platzierung mit Anschlussfestlegung	104
4.3.3	Kräfteplatzierung (Force Directed Placement)	106
4.3.4	Simulated Annealing	110
4.3.5	Quadratische Zuordnung (Quadratic Assignment).	114
4.3.6	Weitere Platzierungsalgorithmen	117
	Aufgaben zu Kapitel 4	123
	Literatur zu Kapitel 4	124
<b>5</b>	<b>Globalverdrahtung</b>	<b>129</b>
5.1	Einführung	129
5.1.1	Allgemeines Verdrahtungsproblem	129
5.1.2	Globalverdrahtung	130
5.2	Begriffsbestimmungen	131
5.3	Optimierungsziele	135
5.3.1	Kundenspezifischer Entwurf	135
5.3.2	Standardzellen-Entwurf	136
5.3.3	Gate-Array-Entwurf	138
5.4	Abbildung von Verdrahtungsregionen	138
5.5	Ablauf der Globalverdrahtung	140
5.6	Algorithmen für die Globalverdrahtung	141
5.6.1	Steinerbaum-Verdrahtung	142

5.6.2	Globalverdrahtung im Verbindungsgraphen	146
5.6.3	Wegsuche mit dem Dijkstra-Algorithmus	150
Aufgaben zu Kapitel 5		155
Literatur zu Kapitel 5		156
<b>6</b>	<b>Feinverdrahtung</b>	<b>159</b>
6.1	Einführung	159
6.2	Begriffsbestimmungen	159
6.3	Horizontaler und vertikaler Verträglichkeitsgraph	163
6.3.1	Horizontale Verträglichkeitsdarstellung	163
6.3.2	Vertikale Verträglichkeitsdarstellung	164
6.4	Optimierungsziele	167
6.5	Algorithmen für die Kanalverdrahtung	167
6.5.1	Left-Edge-Algorithmus	167
6.5.2	Dogleg-Left-Edge-Algorithmus	169
6.5.3	Greedy-Kanalverdrahter (Greedy Channel Router)	172
6.6	Switchbox-Verdrahtung	176
6.6.1	Problembeschreibung	176
6.6.2	Algorithmen für die Switchbox-Verdrahtung	177
6.7	OTC-Verdrahtung	178
6.7.1	Problembeschreibung	178
6.7.2	Algorithmen für die OTC-Verdrahtung	180
Aufgaben zu Kapitel 6		182
Literatur zu Kapitel 6		183
<b>7</b>	<b>Flächenverdrahtung</b>	<b>187</b>
7.1	Einführung	187
7.2	Begriffsbestimmungen	189
7.3	Festlegung der Netzreihenfolge	191
7.4	Manhattan- und euklidische Metrik	193
7.5	Verdrahtung der Versorgungsnetze	194
7.6	Optimierungsziele	196
7.7	Sequentielle Verdrahtungsalgorithmen	197
7.7.1	Rasterverdrahtung nach <b>Lee</b>	197
7.7.2	Rasterverdrahtung mit Wegwichtung	203
7.7.3	Linienverdrahtung	207
7.8	Quasiparallele Verdrahtung	211
7.8.1	Hierarchische Verdrahtung	211
7.8.2	Rip-Up and Reroute	<b>212</b>
7.9	Dreidimensionale Verdrahtung	215
7.9.1	Rasterverdrahtung	216
7.9.2	Mehrstufen-Verdrahtung	217
7.9.3	Planarverdrahtung	217
7.9.4	Turmverdrahtung	218
7.10	X-Verdrahtung	220
7.10.1	Oktilineare Steinerbäume	<b>220</b>
7.10.2	Oktilineare Wegsuche	222
Aufgaben zu Kapitel 7		223
Literatur zu Kapitel 7		225

<b>8</b>	<b>Kompaktierung</b>	<b>229</b>
8.1	Einführung	229
8.2	Begriffsbestimmungen	230
8.3	Symbolisches Layout	232
8.4	Kompaktierungsalgorithmen	233
	8.4.1 Schnittkompaktierung	233
	8.4.2 Abstandsgraph-Kompaktierung	236
	Aufgaben zu Kapitel 8	242
	Literatur zu Kapitel 8	243
<b>A</b>	<b>Lösungen zu den Aufgaben</b>	<b>247</b>
	Kapitel 2. Partitionierung	247
	Kapitel 3. Floorplanning	249
	Kapitel 4. Platzierung	251
	Kapitel 5. Globalverdrahtung	253
	Kapitel 6. Feinverdrahtung	254
	Kapitel 7. Flächenverdrahtung	257
	Kapitel 8. Kompaktierung	259
<b>B</b>	<b>Begriffe, Symbole, Datenformate</b>	<b>263</b>
B.1	Layoutabkürzungen und -begriffe (Auswahl)	263
B.2	Symbole von Bauelementen und Zellen (Auswahl)	266
B.3	Layoutbeispiele von CMOS-Standardzellen	269
B.4	Layout-Datenformate	270
	<b>Sachwortverzeichnis</b>	<b>271</b>