

Klaus Fricke

Digitaltechnik

**Lehr- und Übungsbuch für
Elektrotechniker und Informatiker**

7., korrigierte und aktualisierte Auflage

Mit 215 Abbildungen und 108 Tabellen

Springer Vieweg

Inhaltsverzeichnis

1 Einleitung	1
2 Codierung und Zahlensysteme	3
2.1 Codes	3
2.2 Dualcode	4
2.3 Festkomma-Arithmetik im Dualsystem	5
2.3.1 Ganzzahlige Addition im Dualsystem	5
2.3.2 Addition von Festkommazahlen	6
2.3.3 Einerkomplementdarstellung...	6
2.3.4 Zweierkomplementdarstellung	7
2.3.5 Subtraktion in Zweierkomplementdarstellung	8
2.3.6 Bereichsüberschreitung	8
2.3.7 Multiplikation	9
2.3.8 Division	10
2.4 Hexadezimalcode	10
2.5 Oktalcode	11
2.6 Graycode	11
2.7 BCD-Code	12
2.8 Alphanumerische Codes	13
2.9 Übungen	13
3 Schaltalgebra	15
3.1 Schaltvariable und Schaltfunktion..	15
3.2 Zweistellige Schaltfunktionen	16
3.3 Rechenregeln..	20
3.4 Vereinfachte Schreibweise	21
3.5 Kanonische disjunktive Normalform (KDNF)	21
3.6 Kanonische konjunktive Normalform (KKNF)	22
3.7 Darstellung von Funktionen mit der KKNF und KDNF..	23
3.8 Minimieren mit Hilfe der Schaltalgebra	25
3.9 Schaltsymbole	26
3.9.1 Grundsätzlicher Aufbau der Symbole	26
3.9.2 Die Abhängigkeitsnotation	27
3.9.3 Die UND-Abhängigkeit (G)	27
3.9.4 Die ODER-Abhängigkeit (V).....	28
3.9.5 Die EXOR-Abhängigkeit (N)	29
3.9.6 Die Verbindungs-Abhängigkeit (Z)	29
3.9.7 Die Übertragungs-Abhängigkeit (X)	29
3.10 Übungen	30
4 Verhalten logischer Gatter31
4-1 Positive und negative Logik	32
4.2 Definition der Schaltzeiten	33
4.3 Übertragungskennlinie, Störabstand	34

4.4	Ausgänge	35
4.4.1	Offener Kollektor (Open Collector)	36
4.4.2	Tri-State-Ausgang	37
4.5	Übungen	38
5	Schaltungstechnik	39
5.1	CMOS.....,.....	39
5.1.1	Fan-Öut...	41
5.1.2	Grundsaltungen NAND und NOR	41
5.1.3	Transmission-Gate..	43
5.1.4	Tri-State-Ausgang	44
5.1.5	CMOS-Eigenschaften	45
5.2	TTL	45
5.2.1	Belastung der Ausgänge	47
5.3	Emitter-Coupled Logic (ECL)	48
5.4	Integrierte Injektions-Logik (I ² L)	48
5.5	Verlustleistung und Schaltverhalten von Transistorschaltern	50
5.6	Übungen	51
6	Schaltetze...	53
6.1	Minimierung mit Karnaugh-Veitch-Diagrammen	53
6.1.1	Minimierung der KDNF	53
6.1.2	Minimierung der KKNF	56
6.1.3	Karnaugh-Veitch-Diagramme für 2 bis 6 Eingangsvariablen	57
6.1.4	Unvollständig spezifizierte Funktionen	59
6.2	Das Quine-McCluskey-Verfahren	60
6.3	Andere Optimierungsziele	63
6.3.1	Umwandlung UND/ODER-Schaltnetz in NAND-Schaltnetz	64
6.3.2	Umwandlung ODER/UND-Schaltnetz in NOR-Schaltnetz	65
6.4	Laufzeiteffekte in Schaltnetzen	66
6.4.1	Strukturhazards	66
6.4.2	Funktionshazards	67
6.4.3	Klassifizierung von Hazards	68
6.5	Übungen	69
7	Asynchrone Schaltwerke	71
7.1	Prinzipieller Aufbau von Schaltwerken	71
7.2	Analyse asynchroner Schaltwerke	72
7.3	Systematische Analyse	73
7.4	Analyse unter Berücksichtigung der Gatterlaufzeit.....	75
7.5	Speicherglieder	78
7.5.1	RS-Flipflop	78
7.5.2	RS-Flipflop mit Takteingang	79
7.5.3	Taktpegelgesteuertes D-Flipflop	80
7.5.4	Flankengesteuertes D-Flipflop	83
7.5.5	Zweiflankensteuerung	85
7.5.6	JK-Flipflop	86
7.5.7	T-Flipflop	88
7.5.8	Beispiel...	88

7.5.9 Zusammenfassung Flipflops	...88
7.6 Übungen	90
8 Synchroner Schaltwerke	..93
8.1 Beispiel 1: Schaltwerk „Binärzähler“	...94
8.2 Moore-Schaltwerk	95
8.3 Mealy-Schaltwerk	97
8.3.1 Beispiel 2: Mealy-Schaltwerk „Maschinensteuerung“	97
8.3.2 Realisierung der Maschinensteuerung als Moore-Schaltwerk	100
8.4 Zustandskodierung	...100
8.4.1 Binäre Kodierung	..101
8.4.2 Kodierung nach dem Gray-Code	101
8.4.3 Ausgangsorientierte Kodierung	101
8.4.4 „One-Hot“-Kodierung	104
8.5 Wahl der Flipflops	106
8.6 Zeitverhalten von Schaltwerken	107
8.7 Übungen	109
9 Multiplexer und Code-Umsetzer	..111
9.1 Multiplexer	111
9.1.1 Multiplexer-Realisierung von Funktionen	112
9.2 Code-Umsetzer	114
9.2.1 Der BCD/Dezimal-Code-Umsetzer 7442	115
9.2.2 Demultiplexer	116
9.2.3 Erzeugung von Funktionsbündeln	117
9.3 Analoge Multiplexer und Demultiplexer	119
9.4 Übungen	119
10 Digitale Zähler	121
10.1 Asynchrone Zähler	121
10.1.1 Mod-8-Binärzähler	121
10.1.2 Mod-6-Zähler	122
10.1.3 Asynchrone Rückwärtszähler	123
10.1.4 Zeitverhalten asynchroner Zähler	124
10.2 Synchrone Zähler	124
10.2.1 4-Bit-Dualzähler	125
10.2.2 Mod-6-Zähler im Gray-Code	127
10.2.3 Der synchrone 4-Bit Aufwärts/Abwärts-Binärzähler 74191	129
10.3 Übungen	...130
11 Schieberegister	... 131
11.1 Zeitverhalten von Schieberegistern	132
11.1.1 Schieberegister 74194	133
11.2 Rückgekoppelte Schieberegister	135
11.2.1 Moebius-Zähler, Johnson-Zähler	136
11.2.2 Pseudo-Zufallsfolgen	138
11.3 Übungen	140

12 Arithmetische Bausteine	141
12.1 Volladdierer..	141
12.2 Serienaddierer	141
12.3 RipplerCarry.-Addierer	142'
12.4 Carry^Look-Ahead Addierer	143
12.4.1 Kaskadierung von Carry-Look-Ahead-Addierern	145
12.4.2 Vergleich der Addierer	149
12.5 Arithmetisch-logischerRecheneinheiten (ALU)	149
12.5.1 Beispiele für Operationen	152
12.6 Komparatoren	155
12.6.1 2-Bit-Komparator	155
12.6.2 Kaskadierbare Komparatoren	157
12.7 Übungen	158
13 Digitalspeicher	159
13.1 Prinzipieller Aufbau von Speicherbausteinen	160
13.2 ROM	160
13.3 PROM	163
13.4 EPROM	164
13.5 EEPROM	165
13.6 EAROM	165
13.7 NOVRAM	165
13.8 Statisches RAM (SRAM)	166
13.8.1 Aufbau eines SRAM	166
13.8.2 Beispiel SRAM.....	167
13.9 Dynamisches RAM (DRAM)	171
13.9.1 Aufbau eines DRAM	171
13.9.2 Beispiel DRAM	171
13.10 SDRAM (Synchrones DRAM)	176
13.11 DDR-RAM (Double Data Rate DRAM)	176
13.12 Eimerkettenspeicher	176
13.12.1 Beispiel eines FIFOs..	177
13.13 Kaskadierung von Speichern	179
13.14 Erweiterung der Wortlänge	179
13.15 Erweiterung der Speicherkapazität	180
- 13.15.1 Volldekodierung.....	181
13.15.2 Teildekodierung.	183
13.15.3 Lineare DeköHfierung ^N .	185
13.16 Übungen	187
14. Programmierbare Logikbausteine	...189
14.1 ASIC-Familien	189
14.2 Programmierbare Logik-IC (PLD)	192
; 14.2.1 PLD-Typen	192
14.3, ROM, EPROM, EEPROM	193
;M.4.PLA	194
14.5 PAL	...199
14.6 GAL	201

14.7 Programmierung von PLD-Bausteinen	204
: 14.7.1 Test	204
14.8 Field Programmable Gate Arrays (FPGA)	205
· 14.8.1 Aufbau eines FPGA	205
<N. 14.8.2 Konfigurierbare Logik-Blöcke (CLB)	207
· 14.8.3 IOBlock	208
** 14.8.4 Verbindungsleitungen	209
14.8.5 Programmierung eines FPGA	210
14.9 CPLD	210
14.9.1 Aufbau einer CPLD	210
\ 14.9.2 Logik-Array Blöcke (LAB)	211
*! 14.9.3 IO-Steuerung	213
14.9.4 Größe derCPLD	213
*14.10 Gate-Arrays	214
· 14.10.1 Aufbau von Channelled Gate-Arrays	214
'14.11 Standardzellen-ASIC	217
14.12 Vollkundendesign-ASICs	217
14.13 Übungen	218
15 VHDL	219
15.1 Entwurfsverfahren für digitale Schaltungen	219
<15.2 Die Struktur von VHDL	220
15.3 Typen	220
15.4 Operatoren	222
15.5 Entity	223
15.6 Architecture	224
15.7 Prozesse	225
15.8 Struktureller Entwurf	229
15.9 Busse	230
15.10 Übungen	232
16 Mikroprozessoren	233
16.1 Prinzip kooperierender Schaltwerke	233
16.2 Der Von-Neumann-Rechner	233
16.2.1 Operationswerk	235
16.2.2 Leitwerk	235
16.2.3 Speicher	236
16.2.4 Ein- und Ausgabe	236
16.2.5 Betrieb	237
16.3 Architektur des 68HC11	237
16.3.1 Anschlüsse des 68HC11	239
16.3.2 Funktionsabläufe bei der Befehlsausführung	240
16.3.3 CPU-Register	243
16.3.4 Speicher	244
16.4 Assembler-Programmierung	246
16.5 Adressierungsarten	246
16.6 Befehlssatz	248
16.6.1 Konventionen	248
16.6.2 Transfer-Befehle	249

16.6.3	Speichen-Befehle	I	250
16.6.4	Lade-Befehle		252
16.6.5	Arithmetische Befehle: Negation	; ...	252
16.6.6	Arithmetische Befehle: Addition		253
16.6.7	Arithmetische Befehle: Subtraktion.....		255
16.6.8	Arithmetische Befehle: Inkrement und Dekrement		256
16.6.9	Arithmetische Befehle: Vergleich		257
16.6.10	Logische Operationen		258
16.6.11	Schiebe- und Rotations-Befehle		258
16.6.12	Bitmanipulations-Befehle		259
16.6.13	Absolut adressierter Sprung		259
16.6.14	Relativ adressierter Sprung		260
16.6.15	Bedingte Sprünge		261
16.6.16	Befehle für Unterprogramme		263
16.7	Assembleranweisungen		266
16.8	Interrupt-Bearbeitung		268
16.9	Übungen		270
Anhang			271
A.1	Die Abhängigkeitsnotation	,	271t
A.2	Befehlssatz des 68HC11		275
A.3	Lösungen der Aufgaben		283
A.4	Literatur.		309
A.5	Sachwortregister		313