
80386

Penn Brumm
Don Brumm

Das Handbuch für Programmierer und Systementwickler

Übersetzung aus dem Amerikanischen:
Dr. Norbert Hesselmann

Markt & Technik Verlag AG

Inhaltsverzeichnis

Einleitung	25
Kapitel 1 Informationen über den Prozessor 80386	29
Grundlegende Definitionen	31
Segment	31
Gate	31
Deskriptor	31
Tabelle	31
Linearer Adreßraum	31
Logische Adresse	32
Physikalische Adresse	32
Task	32
Task-Status-Segment (TSS)	32
Microcode	32
Paging	32
Statusindikator (Flag)	33
Überblick über den 32-Bit-Prozessor	34
Die Grundfunktionseinheiten des 80386	34
Die Speicherverwaltungseinheit (MMU)	36
Die Prozessorarchitektur im Real- und im Schutzmodus	36
Der Realmodus	37
Der geschützte Betriebsmodus	39
Datentypen	39
Normale BCD-Werte	40
Gepackte BCD-Werte	40
Bitfeld	40
Bitkette	40
Kurzzeiger	40
Langzeiger	40
Integerwerte	40
Ordinalwerte	41
String	41
Register	41
Allgemeine Register	42
Die Statusregister	43

Das VM-Bit 17 (Virtual 8086 Mode Bit)	44
Das RS-Bit 16 (Resume Bit)	45
Das NT-Bit 14 (Nested Task Bit)	45
Die IOPL-Bits 12–13 (Input/Output Privilege Level Bits)	45
Das OF-Bit 11 (Overflow Flag)	45
Das DF-Bit 10 (Direction Flag)	45
Das IF-Bit 9 (Interrupt Enable Flag)	45
Das TF-Bit 8 (Trap Flag)	45
Das SF-Bit 7 (Sign Flag)	46
Das ZF-Bit 6 (Zero Flag)	46
Das AF-Bit 4 (Auxiliary Carry Flag)	46
Das PF-Bit 2 (Parity Flag)	46
Das CF-Bit 0 (Carry Flag)	46
Die Segmentregister	46
Das Code-Segmentregister	46
Das Stapel-Segmentregister	47
Segmentierte Register zur Speicherverwaltung (Memory Management Registers)	47
Der Befehlszeiger	48
Die Kontrollregister	48
Die Debug-Register	50
Der Adreß-Konvertierungspuffer (TLB)	51
Die Testregister	52
Kapitel 2	
Selektoren und Deskriptoren	55
Selektoren	55
Segment-Deskriptoren	56
Deskriptor-Tabellen	59
Die globale Deskriptor-Tabelle	60
Die lokale Deskriptor-Tabelle	60
Die Interrupt-Deskriptor-Tabelle	60
Kapitel 3	
Interrupts und Exceptions	61
Maskierbare Interrupts (INTR)	62
Nichtmaskierbare Interrupts (NMI)	63
Die Interrupt-Deskriptor-Tabelle (IDT)	64
Exceptions	65

Der Interrupt-Kontroller	66
Die Prioritätsabwicklung von Interrupts und Exceptions	66
Interrupt-Tasks und Interrupt-Prozeduren	67
Fehlercodes	68
Interrupt 0 – Divisionsfehler	69
Interrupt 1 – Debug Exceptions	69
Interrupt 3 – Breakpoint	69
Interrupt 4 – Überlauf	69
Interrupt 5 – Test der Bereichsgrenzen	70
Interrupt 6 – Ungültiger Befehlscode	70
Interrupt 7 – Fehlender Koprozessor	70
Interrupt 8 – Doppelfehler	70
Interrupt 9 – Segment-Überlauf des Koprozessors	71
Interrupt 10 – Ungültiges Task-Status-Segment (TSS)	71
Interrupt 11 – Nicht vorhandenes Segment	72
Interrupt 12 – Stapel-Exception	72
Interrupt 13 – Globale Schutz-Exception	73
Interrupt 14 – Page-Fehler	73
Interrupt 15 – Von Intel reserviert für zukünftige Anwendungen	74
Interrupt 16 – Koprozessor-Fehler	74
Die Fehlercodes des Koprozessors	74
Interrupt 7 – Koprozessor nicht vorhanden	76
Interrupt 9 – Segment-Überlauf des Koprozessors	76
Interrupt 16 – Koprozessor-Fehler	77
Kapitel 4	
Der Speicher	79
Die Speicherorganisation	79
Die Speicher-Segmentierung	79
Der Adreßraum	80
Paging und Page-Anpassung	81
Page-Tabellen	82
Page-Übersetzung und Segment-Kombinationen	84
DMA-Kontroller	84
Das Speicher-Interface	85
Das Interface für den Arbeitsspeicher	85
Das SRAM-Interface	87
Das DRAM-Interface	87

Der Cache-Speicher des 80386	88
Organisation eines Cache-Speichers	91
Der voll assoziative Cache-Speicher	91
Der Cache mit direktem Adreßmapping	91
Der blockassoziative Cache-Speicher	92
Die Aktualisierung eines Cache-Speichers	92
Direktes Zurückschreiben der Daten	94
Gepuffertes Zurückschreiben der Daten	94
Kontrolliertes Zurückschreiben der Daten	96
Datenkonsistenz	96
Das Cache-Flushing	96
Hardware-Transparenz	97
Cache-Isolation	97
Der Cache-Speicher des 80386	97

Kapitel 5	Interface-Techniken: Lokaler Bus und Ein-/Ausgabe	101
	Das Interface zum lokalen Bus	101
	Der Bus-Status	104
	Lese- und Schreibzyklen	105
	Interrupts	105
	Der Interrupt-Quittungszyklus	106
	Der BS16#-Zyklus	106
	Der Halte-/Abschaltzyklus	107
	Bus-Verriegelung und HOLD	108
	Ein-/Ausgabe-Vorgänge und Ein-/Ausgabe-Interfacing	109
	Ein-/Ausgabe-Befehle	110
	Schutzmechanismen, Privilegierung und Ein-/Ausgabe	111
	Die E-/A-Map	111
	Das Standard-Ein-/Ausgabe-Interface	113
	8-, 16- und 32-Bit-Ein-/Ausgabe	114
	Adreßpuffer (Latch)	115
	Der Adreßdecoder	115
	Daten-Transceiver	116
	Die Buskontroll-Logik	117

Kapitel 6	Privileg- und Schutzmechanismen, Pipelining, Multitasking und Mehrprozessor-Betrieb	119
	Privileg 119	
	Privileg-Ebene (PL)	119
	Privileg-Ebene des Requestors (RPL)	119
	Aktuelle Privileg-Ebene (CPL)	119
	Deskriptor-Privileg-Ebene (DPL)	120
	Effektive Privileg-Ebene (EPL)	120
	Privileg- und Schutzmechanismen	120
	Privilegmechanismen	120
	Privileg-Ebenen und Privileg-Regeln	120
	Die Deskriptor-Privileg-Ebene (DPL)	121
	Die Privileg-Ebene des Requestors	121
	Die aktuelle Privileg-Ebene	121
	Privilegierte Befehle	122
	Sensitive Befehle	122
	Schutzmechanismen	122
	Typ-Überprüfung	124
	Bereichsüberprüfung	125
	Einschränkungen beim Datenzugriff	126
	Kontrolle des Datentransfers	128
	Beschränkungen des Befehlssatzes	130
	Gültigkeitstest für Zeiger	131
	Page- und Verzeichnis-Schutz	131
	Erhöhung der Systemleistungsfähigkeit	132
	Adreß-Pipelining	133
	Herabsetzung der Taktrate	134
	Multitasking	134
	Das Task-Status-Segment (TSS)	135
	Der TSS-Deskriptor	136
	Der Taskwechsel	138
	Mehrprozessor-Betrieb	140
	Der LOCK-Präfix und das LOCK#-Signal	140
Kapitel 7	Hardware und Hardware-Einheiten	143
	Kontroller	143
	Der serielle Kontroller 8274	143

Der Interrupt-Kontroller 8259A	147
Einzelne und kaskadierte Interrupt-Kontroller	147
Der ADMA-Kontroller 82258	148
Koprozessoren	149
Numerische Koprozessoren	149
Der LAN-Koprozessor 82586	154
Der Taktgenerator 82384	156
Taktgeschwindigkeiten und System-Timing	157
Aufteilung der Taktsignale und Leitungsabschlüsse	158
Spannungsversorgung und Masseverbindungen	159
Thermische Eigenschaften	160
Der Hardware-Aufbau und das Debugging	161
Leitlinien für einen schrittweisen Systementwurf	161
Anleitung zur Fehlersuche	163
Die Leistungsfähigkeit des Systems	163
PAL-Bausteine	164
Programmierbare Array-Logik (PAL)	165
PALs zur Kontrolle des lokalen Busses	170
Die Funktionen von PAL-1	170
Die Funktionen von PAL-2	170
PAL zur Statuskontrolle von DRAMs	170
Kontroll-PAL für DRAMs	171
PAL als Intervall-Timer für Wiederauffrischungs-Zyklen	171
PAL zur Erzeugung der Adressen bei Wiederauffrischungs-Vorgängen	171

Kapitel 8	Programmierung des 80386	173
	Entwurf der System-Software	173
	Sprachelemente	174
	Adressierungs-Modi	174
	Übersicht über den Befehlssatz	175
	Arithmetische Befehle	176
	Addition	176
	Subtraktion	176
	Multiplikation	177

Division	177
Bit-Manipulation	177
Einzel-Bit-Befehle	177
Datenübertragung	177
Allgemeine Befehle	177
Konvertierung	177
Ein-/Ausgabe	177
Adressierung	178
Status-Manipulation	178
Befehle zur Unterstützung von Hochsprachen	178
Logische Befehle und Schiebebefehle	178
Logische Befehle	178
Einfache Schiebebefehle	178
Zyklische Schiebebefehle	179
Prozessor-Kontrollbefehle	179
Programm-Kontrollbefehle	179
Bedingte Sprünge	179
Unbedingte Sprünge	179
Schleifenbefehle	179
Interrupts	180
Schutzbefehle	180
String-Manipulation	180
Der virtuelle 8086-Modus	182
Aktivieren und Deaktivieren des virtuellen 8086-Modus	182
Interrupt- und Trap-Gates	184
Adressierung im virtuellen 8086-Modus	185
Adreßgenerierung	185
Virtuelle V86-Task	185
Sensitive Befehle im virtuellen 8086-Modus	187
Ein-/Ausgabe im virtuellen Modus	187
Unterschiede zwischen dem realen und dem virtuellen 8086-Modus	188
Ausführung von Programmen im Schutzmodus des 80286	189
Eingeschränkte Verriegelung	190
Das Adreß-Wrapping des 80386	190
Der Realmodus des 80386	191
Aktivieren und Deaktivieren des Realmodus	191
Die Generierung physikalischer Adressen im Realmodus	192
Neue Exceptions des 80386	192

Unterschiede zwischen dem Realmodus des 80386 und dem 8086	193
Reset und Initialisierung	196
Die Registerinhalte nach einem Reset	196
Software-Initialisierung für den Realmodus	198
Software-Initialisierung für den Schutzmodus	198
Test und Fehlersuche	199
Der Selbsttest	199
Test des Adreß-Konvertierungspuffers TLB	200

Kapitel 9 Anmerkungen zur Programmierung des 80386 201

Allgemeiner Leitfaden	201
Programmentwicklung für den 80386	202
Der Speicher	202
Deskriptoren	203
Programmbefehle	204
Register	205
Tasks	206
Privileg- und Schutzmechnismen	206
Test- und Debugmechanismen	207

Kapitel 10 Der Befehlssatz des 80386 209

Das Befehlsformat	209
Präfixe (Vorläufer-Bytes)	209
1. Wiederholungs-Präfix	209
2. Operanden-Erweiterung	209
3. Adreßweite	210
4. Segment-Override	210
Der Befehlscode (Opcode)	210
Der Register-Bezeichner	211
Der Adreßmode-Bezeichner	211
Die Bytes mit den Bezeichnungen MOD-R/M und SIB	211
Das Displacement	213
Unmittelbare Operanden	214
Schreibweisen und Abkürzungen	214
Beschreibung spezieller Befehlsparameter	217
Befehlserläuterung	218
Statusbits und Register	218

Alphabetische Befehlsübersicht	220
AAA	ASCII Adjust after Addition <i>BCD-Korrektur nach einer Addition</i> 220
AAD	ASCII Adjust Register AX before Division <i>ASCII-Korrektur des Registers AX vor einer Division</i> 222
AAM	ASCII Adjust AX Register after Multiplication <i>ASCII-Korrektur des Registers AX nach einer Multiplikation</i> 224
AAS	ASCII Adjust AL Register after Subtraction <i>ASCII-Korrektur des Registers AL nach einer Subtraktion</i> 225
ADC	Add Integers with Carry <i>Addition mit Übertrag</i> 227
ADD	Add Integers <i>Addition ohne Übertrag</i> 230
AND	Logical AND <i>Logisch UND</i> 233
ARPL	Adjust Requestor Privilege Level Selector <i>RPL-Korrektur des Selektors</i> 236
BOUND	Check Array Index Against Bounds <i>Bereichstest des Indexregisters</i> 238
BSF	Bit Scan Forward <i>Bit-Abfrage vorwärts</i> 240
BŞR	Bit Scan Reverse <i>Bit-Abfrage rückwärts</i> 242
BT	Bit Test <i>Bit-Test</i> 244
BTC	Bit Test and Complement <i>Bit-Test mit Komplementbildung</i> 245
BTR	Bit Test and Reset <i>Bit-Test und Rücksetzen</i> 247
BTS	Bit Test and Set <i>Bit-Test und Setzen</i> 248
CALL	Call a Procedure <i>Prozeduraufruf</i> 249
CBW	Convert Byte to Word <i>Konvertiere Byte zu Wort</i> 252
CWDE	Convert Word to Doubleword <i>Konvertiere Wort zu Langwort</i> 252
CLC	Clear Carry Flag (CF) <i>Übertragsbit zurücksetzen</i> 254
CLD	Clear Direction Flag (DF) <i>Richtungsbit zurücksetzen</i> 255

CLI	Clear Interrupt Flag (IF) <i>Interruptbit zurücksetzen</i>	256
CLTS	Clear Task-Switches Flag in CR0 <i>TS-Bit in Register CR0 zurücksetzen</i>	257
CMC	Complement Carry Flag (CF) <i>Übertragsbit komplementieren</i>	259
CMP	Compare <i>Vergleiche</i>	260
CMPS	Compare String Operands <i>Vergleiche String-Operanden</i>	263
CMPSB	Compare String Byte <i>Vergleiche ein String -Byte</i>	263
CMPSW	Compare String Word <i>Vergleiche ein String-Wort</i>	263
CMPSD	Compare String Doubleword <i>Vergleiche ein String-Langwort</i>	263
CWD	Convert Word to Doubleword <i>Konvertiere ein Wort in ein Langwort</i>	267
CDQ	Convert Doubleword to Quad-Word <i>Konvertiere ein Langwort in ein Quadwort</i>	267
CWDE	Convert Word to Doubleword Extended <i>Konvertiere ein Wort in ein erweitertes Langwort</i>	267
DAA	Decimal Adjust AL Register after Addition <i>BCD-Korrektur von AL nach einer Addition</i>	269
DAS	Decimal Adjust AL Register after Subtraction <i>BCD-Korrektur von AL nach einer Subtraktion</i>	271
DEC	Decrement by 1 <i>Erniedrige um Eins</i>	273
DIV	Unsigned Integer Divide <i>Division ohne Vorzeichen</i>	275
ENTER	Make Stack Frame for Procedure Parameter <i>Stapelstruktur für Parameter anlegen</i>	277
ESC	Escape <i>Escape</i>	278
HLT	Halt <i>Halt</i>	279
IDIV	Signed Divide <i>Vorzeichengerechte Division</i>	280
IMUL	Signed Integer Multiply <i>Vorzeichengetreue Multiplikation</i>	283
IN	Input from Port <i>Porteingabe</i>	286

INC	Increment by 1 <i>Erhöhe um Eins</i>	290
INS	Input String from Port <i>String-Eingabe</i>	292
INSB	Input Byte <i>Byte-Eingabe</i>	292
INSW	Input Word <i>Wort-Eingabe</i>	292
INSD	Input Doubleword <i>Langwort-Eingabe</i>	292
INT	Call to Interrupt Procedure <i>Aufruf einer Interrupt-Prozedur</i>	293
INTO	Interrupt on Overflow <i>Interrupt bei Überlauf</i>	293
IRET	Return from Interrupt <i>Rücksprung vom Interrupt</i>	296
IRETD	Return from Interrupt (32-Bit-Mode) <i>Rücksprung vom Interrupt im 32-Bit-Modus</i>	296
JMP	Jump <i>Unbedingter Sprung</i>	297
Jcc	Jump on some Condition Code <i>Bedingter Sprung</i>	297
LAHF	Load Flags into AH Register <i>Lade Statusbits in das Register AH</i>	303
LAR	Load Access Rights Byte <i>Steuerbyte laden</i>	304
LEA	Load Effective Address <i>Lade effektive Adresse</i>	306
LEAVE	High Level Procedure Exit <i>Stapelstruktur auflösen</i>	307
LGDT	Load Global Descriptor Table Register <i>Lade GDT-Register (GDTR)</i>	308
LIDT	Load Interrupt Descriptor Table Register <i>Lade IDT-Register (IDTR)</i>	308
LGS	Load Full Pointer <i>Lade Zeiger</i>	309
LSS	Load Pointer Using SS <i>Lade Zeiger über SS</i>	309
LDS	Load Pointer Using DS <i>Lade Zeiger über DS</i>	309
LES	Load Pointer Using ES <i>Lade Zeiger über ES</i>	309

LFS	Load Pointer Using FS <i>Lade Zeiger über FS</i>	309
LLDT	Load Local Descriptor Table Register <i>Lade LDT-Register</i>	312
LMSW	Load Machine Status Word <i>Lade Maschinen-Statuswort</i>	313
LOCK	Assert LOCK# Signal Prefix <i>LOCK#-Signal aktivieren</i>	314
LODS	Load String Operand <i>Lade String-Operanden</i>	315
LODSB	Load Byte <i>Lade Byte</i>	315
LODSW	Load Word <i>Lade Wort</i>	315
LODSD	Load Doubleword <i>Lade Langwort</i>	315
LOOP	Loop Control while ECX Counter Not Zero <i>Schleifenkontrolle über ECX</i>	319
LOOPE	Loop while Equal <i>Verzweige solange gleich</i>	319
LOOPZ	Loop while Zero <i>Verzweige solange Null</i>	319
LOOPNE	Loop while Not Equal <i>Verzweige solange nicht gleich</i>	319
LOOPNZ	Loop while Not Zero <i>Verzweige solange nicht Null</i>	319
LSL	Load Segment Limit <i>Laden der Segmentgrenze</i>	321
LTR	Load Task Register <i>Task-Register laden</i>	323
MOV	Move Data <i>Datentransfer</i>	324
MOV	Move From/To Special Registers <i>Datentransfer von/zu speziellen Registern</i>	325
MOVS	Move Data from String to String <i>String-Transfer</i>	331
MOVSB	Move String Byte <i>Transfer eines String-Bytes</i>	331
MOVSW	Move String Word <i>Transfer eines String-Worts</i>	331
MOVSD	Move String Doubleword <i>Transfer eines String-Langworts</i>	331

MOVSX	Move with Sign Extension <i>Vorzeichengerechte Worterweiterung</i>	335
MOVZX	Move with Zero Extension <i>Worterweiterung mit Null</i>	336
MUL	Unsigned Integer Multiply of AL or AX Register <i>Multiplikation ohne Vorzeichen</i>	337
NEG	Negation (Two's Complement) <i>Negation (Zweierkomplement)</i>	339
NOP	No Operation <i>Leerbefehl</i>	340
NOT	Negate (One's Complement) <i>Negation (Einerkomplement)</i>	341
OR	Logic inclusive OR <i>Logisch ODER</i>	342
OUT	Output to Port <i>Portausgabe</i>	344
OUTS	Output String to Port <i>Portausgabe eines Strings</i>	345
OUTSB	Output Byte <i>Portausgabe eines Bytes</i>	345
OUTSW	Output Word <i>Portausgabe eines Worts</i>	345
OUTSD	Output Doubleword <i>Portausgabe eines Langworts</i>	345
POP	Pop a Word from the Stack <i>Hole ein Wort vom Stapel</i>	346
POPA	Pop All Registers <i>Restauriere alle Registerinhalte</i>	348
POPAD	Pop All Registers (32-bit Mode) <i>Restauriere alle Registerinhalte (32-Bit-Modus)</i>	348
POPF	Pop Stack into FLAGS or EFLAGS Register <i>Restauriere die Statusregister FLAGS oder EFLAGS</i>	350
POPFD	Pop Stack (32-bit Mode) <i>Restauriere Statusregister (32-Bit-Modus)</i>	350
PUSH	Push Operand onto the Stack <i>Operand in den Stapel schreiben</i>	353
PUSHA	Push All General Registers <i>Lade den Inhalt aller allgemeinen Register auf den Stapel</i>	354
PUSHAD	Push All General Registers (32-bit Mode) <i>Lade den Inhalt aller Registerinhalte auf den Stapel (32-Bit-Modus)</i>	354

PUSHF	Push Flags Register EFLAGS onto the Stack <i>Speichere den Inhalt des Registers EFLAGS auf dem Stapel</i>	356
PUSHFD	Push EFLAGS onto the Stack (32-bit Mode) <i>Lade EFLAGS auf den Stapel (32-Bit-Modus)</i>	356
RCL	Rotate Left trough Carry-Uses CF for Extension <i>Zyklische Linksverschiebung mit Übertragsbit</i>	357
RCR	Rotate Right trough Carry-Uses CF for Extension <i>Zyklische Rechtsverschiebung mit Übertragsbit</i>	357
ROL	Rotate Left-Wrap bits around <i>Zyklische Linksverschiebung ohne Übertragsbit</i>	357
ROR	Rotate Right-Wrap bits around <i>Zyklische Rechtsverschiebung ohne Übertragsbit</i>	357
REP	Repeat Following String Operation <i>Wiederhole nachfolgende Stringoperation</i>	363
REPE	Repeat while Equal <i>Wiederhole bei Gleichheit</i>	363
REPZ	Repeat while Zero <i>Wiederhole bei Null</i>	363
REPNE	Repeat while Not Equal <i>Wiederhole bei Ungleichheit</i>	363
REPNZ	Repeat while Not Zero <i>Wiederhole bei verschieden von Null</i>	363
RET	Return from Procedure <i>Rücksprung aus einem Unterprogramm</i>	365
SAHF	Store AH into Flags <i>Lade den Inhalt von AH in das Statuswort</i>	366
SAL	Shift Instructions <i>Einfache Schiebeoperationen</i>	368
SAR		368
SHL		368
SHR		368
SBB	Subtract Integers with Borrow <i>Subtraktion mit negativem Übertrag (Borger)</i>	373
SCAS	Compare String Data <i>Vergleiche Stringdaten</i>	375
SCASB		375
SCASW		375
SCASD		375
SETcc	Set Byte on Condition <i>Bedingte Bytevereinbarung</i>	378
SGDT	Store Global Descriptor Table Register <i>Speichere den Inhalt des Registers GDTR</i>	380

SIDT	Store Interrupt Descriptor Table Register <i>Speichere den Inhalt des Registers IDTR</i>	380
SHLD	Double Precision Shift Left <i>Linksverschiebung mit doppelter Genauigkeit</i>	382
SHRD	Double Precision Shift Right <i>Rechtsverschiebung mit doppelter Genauigkeit</i>	382
SLDT	Store Local Descriptor Table Register <i>Speichere den Inhalt des Registers LDTR</i>	387
SMSW	Store Machine Status Word <i>Speichere das Maschinen-Statuswort</i>	388
STC	Set Carry Flag (CF) <i>Setzen des Übertragsbits</i>	389
STD	Set Direction Flag (DF) <i>Setzen des Richtungsbits</i>	390
STI	Set Interrupt Flag (IF) <i>Setzen des Interrupt-Bits</i>	391
STOS	Store String Operand <i>Speichere Stringoperanden</i>	392
STOSB	Store Byte <i>Speichere Byte</i>	392
STOSW	Store Word <i>Speichere Wort</i>	392
STOSD	Store Doubleword <i>Speichere Langwort</i>	392
STR	Store Task Register <i>Speichere Task-Register</i>	394
SUB	Subtract Integers <i>Subtraktion ohne Übertrag</i>	395
TEST	Logical Compare <i>Logischer Vergleich</i>	397
VERR	Verify a Segment for Reading <i>Segment-Test für Leseoperation</i>	399
VERW	Verify a Segment for Writing <i>Segment-Test für Schreiboperation</i>	399
WAIT	Wait until BUSY# Pin is Inactive (High) <i>Warteschleife</i>	401
XCHG	Exchange Register/Memory with Register <i>Datenaustausch zwischen Register-Register oder Speicher</i>	402
XLAT		404
XLATB	Table Look-Up Translation <i>Code-Übersetzung</i>	404
XOR	Logical Exclusive OR <i>Logisches Exklusiv-ODER</i>	406

Kapitel 11	Einführung in die Technik integrierter Schaltungen	409
	Ganz zu Beginn...	410
	Woraus besteht ein IC?	411
	PMOS und NMOS	413
	CMOS	414
	VLSI-Bausteine	414
	Bauformen integrierter Schaltungen	416
Kapitel 12	Interface-Konzepte	419
	Interfacing	419
	Interface-Ebenen	420
	Register	421
	Puffer	421
	Periphere Einheiten	422
	Speicher	422
	Busse	423
	Der Tristate-Bus	423
	Bustypen	424
	Arbeitsweise	425
	Ein-/Ausgabe-Ports	426
	Ein-/Ausgabe-Techniken	427
	USART (Universal Synchronous/Asynchronous Receiver/Transmitter)	427
	MULTIBUS®-Strukturen	430
	Master-Module	430
	Slave-Module	430
	Arbeitsweise des MULTIBUS®	431
	Zugriffsprioritäten	431
	Bus-Design	432
	Spannungsversorgung	434
	Zusammenfassung	434
Kapitel 13	Die Speicherorganisation	435
	Der reale Speicher	436
	ROM und RAM	436

Random Access Memory (RAM)	436
Read Only Memory (ROM)	437
Speichersysteme	439
Die Speicherorganisation	439
Wortorganisierte Speicher mit linearer Adreßselektion	439
Decodierung in zwei Ebenen	439
Bitorganisierte Speicherstrukturen	440
Speicherschutz	440
Speicheradressierung	440
Die Speicherverwaltungseinheit (MMU)	442
Direkter Speicherzugriff (DMA)	443
DMA-Komponenten	444
DMA mit Blocktransfer	445
DMA mit »gestohlenen« Zyklen	445
Die Speichersegmentierung	445
Der virtuelle Speicher	446
Die Verwaltung virtueller Speicher	446
Der seitenorientierte virtuelle Speicher	447
Der Cache-Speicher	448
Die Informationsauswahl bei einem Cache-Speicher	449
Blockoperationen	450
Die Organisation eines Cache-Speichers	450
Der voll assoziative Cache-Speicher	450
Der Cache mit Adreßmapping	451
Der blockassoziative Cache-Speicher	451
Die Cache-Aktualisierung	452
Direktes Zurückschreiben der Daten	452
Gepuffertes Zurückschreiben der Daten	452
Kontrolliertes Zurückschreiben der Daten	452
Datenkonsistenz	453
Pufferspeicher	454
Das Timing	454
Zusammenfassung	454
Kapitel 14	
Verbesserung der Leistungsfähigkeit von Systemen	455
Kontrolleinheiten	455
Prozessor-Unabhängigkeit	456

Der Vorabruf von Befehlen	456
Die Effektivität des Vorabrufs	457
Algorithmen für den Vorabruf	457
Der Page-Vorgriff	457
Das Pipelining	457
Methodik	458
Probleme	459
Kontrollstrukturen	459
Koprozessoren	460
Multitasking und Multiuser-Betrieb	460
Abarbeitung von Events	461
Charakteristische Eigenschaften von Multiuser-Systemen	462
Zusammenfassung	462
Anhang 1 Integrierte Schaltungen von Intel	463
Das neue Design-Konzept	463
Der 4004	465
Der 8008	465
Der 8080	466
Der 8080A	468
Der 8085A	468
Der 8086	470
Der Koprozessor 8087	475
Der 8088	475
Der 80186	475
Der 80286	477
Der Koprozessor 80287	479
Privileg-Ebenen	479
Multitasking	479
Der 80386	480
Segmente	482
Koprozessoren	482
Privileg-Ebenen	483
Multitasking	483

Anhang 2	Zusammenfassung der Register und Statusinformationen	485
	Alphabetische Liste aller 80386-Register	485
	Liste der vom 80386 benutzten Statusbits	486
Anhang 3	Akronyme und Kurzbezeichnungen	489
Anhang 4	Der MULTIBUS® I/II	501
	Der MULTIBUS® I	502
	Beispiel für ein MULTIBUS®- I-Interface	502
	Der Adreßdecoder	504
	Adreßpuffer und Daten-Transceiver	504
	iSBX-Bus-Erweiterung	505
	Der Mehrkanal-Bus	505
	Der iLBX-Bus	506
	Entwurfskriterien für den MULTIBUS® I	506
	Interrupt-Handling	507
	8-Bit-Übertragungen	507
	Bus-Time-Outs	507
	Behandlung von Netzausfällen	507
	Der MULTIBUS® II	508
	Der parallele Systembus iPSB	508
	Die lokale Bus-Erweiterung iLBX II	509
	Der serielle iSSB-Bus	509
Anhang 5	Begriffslexikon	511
	Literaturübersicht	523
	Stichwortverzeichnis	525