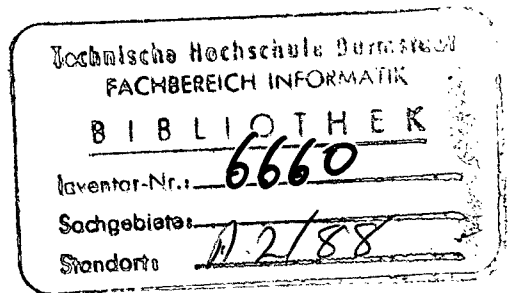


U.Kastens F.J.Rammig (Hrsg.)

Architektur und Betrieb von Rechensystemen

10. GI/ITG-Fachtagung
Paderborn, 9.-11. März 1988
Proceedings



Springer-Verlag
Berlin Heidelberg New York
London Paris Tokyo

Inhaltsverzeichnis

Parallelrechner I

Das SUPRENUM-System: Architektur, Software und Anwendungen (eingeladener Vortrag) <i>H. Zima</i>	1
Parallele Ausführung sequentieller Programme auf Multiple Processing Systems <i>M. Caspar</i>	21
Optimizing the Peak-Performance of Vector Units with Dynamically Allocatable Vector Registers <i>H. Mierendorff</i>	34

Parallelrechner II

Connection Structures - a Component of Parallel Programming Languages <i>E. Hotzel</i>	47
A Multigrid Algorithm on Hypercube Systems <i>O. Kolp</i>	64
A Systolic Algorithm for the Generalized Transitive Closure <i>C. Moraga</i>	70

Prozeßkommunikation

Prozeßkommunikation mit asynchronem Empfangen <i>R. Oechsle</i>	80
Baumorientierte Kommunikation in verteilten Systemen <i>H. von Drachenfels</i>	94
Linda integriert in Modula-2 - ein Sprachkonzept für portable parallele Software <i>L. Borrmann, M. Herdieckerhoff</i>	106

RISC-Architekturen I

Code Generation and RISC Architectures (eingeladener Vortrag) <i>S. L. Graham</i>	119
Colibri: Ein Testfall für die RISC-Philosophie <i>Ch. Müller-Schloer, Th. Niedermeier, D. Rauh</i>	132
Die Befehlspipeline des COLIBRI-Systems <i>C. Legutko, E. Schäfer, J. Tappe</i>	142

RISC-Architekturen II

- Reorganisieren von Basisblöcken für Pipeline-Prozessoren 152
A. Poetzsch-Heffler
- Eine flexible Entwurfsumgebung für RISC-ähnliche Prozessorarchitekturen 168
T. Bergsträsser, J. Geßner, K. Hafner, S. Wallstab

Funktionsorientierte Architekturen

- System Architectures for Functional Programming Languages: Problems and Solutions 178
 (eingeladener Vortrag)
K. Berkling
- Compiled Graph Reduction on a Processor Network 198
*M. Raber, T. Rimmel, E. Hoffmann, D. Maurer, F. Müller,
 H.-G. Oberhauser, R. Wilhelm*
- An Or-Parallel Logic Programming Machine for Non-shared Memory Architectures 213
J. Engels
- Konzept eines flagorientierten vollparallelen Assoziativprozessors auf der Basis der Flagalgebra 233
D. Tavangarian

Koprozessoren

- Transaktionsorientierte Datenverwaltung in einem intelligenten Disk Controller 250
J. Kreyßig, H. Schukat, H. Ch. Zeidler
- Überlegungen zu einer Hardware-Architektur zur schnellen Analyse von Programmiersprachen 268
K.-D. Lewke
- Alternative Rechnerarchitektur für Datenübertragungs-Controller mit hohen Datenraten 277
F. Fehlau, M. Rupprecht

Rechnernetze I

- Rechnernetze - Realisierung, Standardisierung, weitere Entwicklung 290
 (eingeladener Vortrag)
U. Dierk

Rechnernetze II

A Tool for Measuring and Monitoring Distributed Systems During Operation <i>D. Haban, D. Wybraniec</i>	307
Workload Modeling for Computer Networks <i>M. Calzarossa, G. Haring, G. Serazzi</i>	324
Automatische Codegenerierung für Protokolle in der ISO-Syntax ASN.1 <i>W. Gora, R. Speyerer</i>	340

Hardware-Entwurf

Microprocessor Features a la Carte (eingeladener Vortrag) <i>E. M. McCreight</i>	357
Validation in Top Down Design Including Test Pattern Generation <i>R. Reisig</i>	368
SAMP: A General Purpose Processor Based on a Self-Timed VLIW Structure <i>L. Nowak</i>	381
Gezielte Erzeugung von Zugriffskonflikten zu Testzwecken <i>J. Hülsemann</i>	391